

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-256907

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

H01J 31/12
G09F 9/30
H01J 29/04

(21)Application number : 2000-070696

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.03.2000

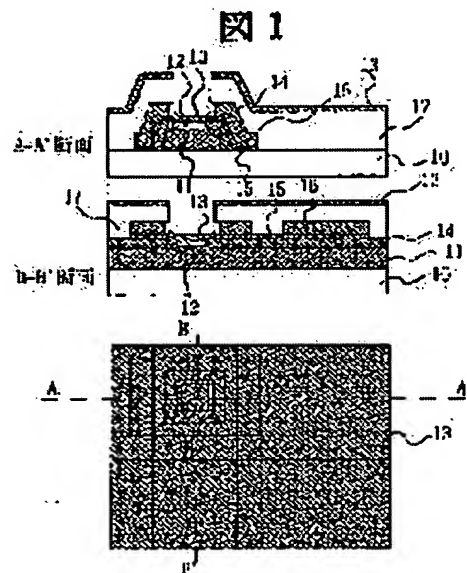
(72)Inventor : KUSUNOKI TOSHIAKI
SUZUKI MUTSUMI
SAGAWA MASAKAZU

(54) IMAGE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image display device having high brightness and low power consumption, with an upper electrode film processed without using a photographic process and thin film type electron sources having high electron emitting efficiency in high yields.

SOLUTION: The image display device comprises a first substrate having a plurality of thin film type electron sources for emitting electrons from the surface of an upper electrode when positive-polarity voltage is applied to the upper electrode, a frame member, and a second substrate having a fluorescent substance. Display elements are provided in a space encircled by the first substrate, the frame member and the second substrate, as a vacuum atmosphere. The first substrate has a plurality of bus electrodes for applying driving voltage to the upper electrode for the plurality of thin film type electron sources, at least one upper electrode for the thin film type electron sources, a resistance element provided between any two out of the plurality of bus electrodes and a first insulating layer having a first opening portion provided in an electron emission portion of each thin film type electron source.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-256907

(P2001-256907A)

(43) 公開日 平成13年9月21日(2001.9.21)

(51) Int.Cl. ⁷	識別記号	F I	データベース*(参考)
H 0 1 J 31/12		H 0 1 J 31/12	C 5 C 0 3 1
G 0 9 F 9/30	3 6 0	C 0 9 F 9/30	3 6 0 5 C 0 3 6
H 0 1 J 29/04		H 0 1 J 29/04	5 C 0 9 4

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2000-70696(P2000-70696)

(22) 出願日 平成12年3月14日(2000.3.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 楠 敏明

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 鈴木 睦三

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100083552

弁理士 秋田 収喜

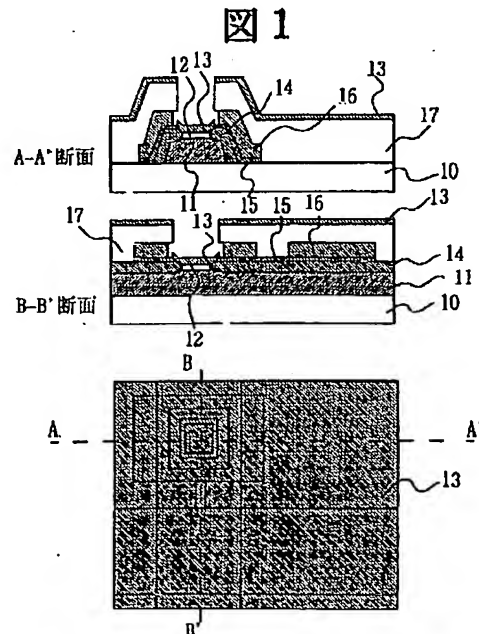
最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 ホト工程を用いずに上部電極膜を加工でき、電子放出効率の高い薄膜型電子源を歩留りよく提供し、高輝度、低消費電力の画像表示装置を提供する。

【解決手段】 上部電極に正極性の電圧を印加した際に、上部電極表面から電子を放出する複数個の薄膜型電子源を有する第1の基板と、枠部材と、蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示素子を備える画像表示装置であって、第1の基板は、複数個の薄膜型電子源の上部電極に駆動電圧を印加する複数のバス電極と、少なくとも一つの前記薄膜型電子源の上部電極と、複数のバス電極のいずれかのバス電極との間に設けられる抵抗素子と、上部電極および抵抗素子上に設けられ、各薄膜型電子源の電子放出部に設けられる第1の開口部を有する第1の絶縁層を有する。



(2) 001-256907 (P2001-256907A)

【特許請求の範囲】

【請求項1】 下部電極と、上部電極とを有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数の薄膜型電子源を有する第1の基板と、
棒部材と、
蛍光体を有する第2の基板とを備え、前記第1の基板、前記棒部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示素子を備える画像表示装置であって、
前記第1の基板は、複数の薄膜型電子源の上部電極に駆動電圧を印加する複数のバス電極と、
少なくとも一つの前記薄膜型電子源の上部電極と、前記複数のバス電極のいずれかのバス電極との間に設けられる抵抗素子と、
前記上部電極および抵抗素子上に設けられ、前記各薄膜型電子源の電子放出部に設けられる第1の開口部を有する第1の絶縁層を有することを特徴とする画像表示装置。

【請求項2】 前記第1の絶縁層上に設けられるスペーサを有することを特徴とする請求項1に記載の画像表示装置。

【請求項3】 前記バス電極は、バス電極下層と、前記バス電極下層の膜厚よりも膜厚が厚いバス電極上層とで構成され、
前記抵抗素子は、前記バス電極下層と同一の材料を用いて形成されることを特徴とする請求項1または請求項2に記載の画像表示装置。

【請求項4】 前記少なくとも一つの薄膜型電子源は、前記第1の開口部よりも内側に位置するように設けられる第2の開口部を有する第1の電極と、
前記第1の開口部よりも外側に位置するように設けられる第3の開口部を有するとともに、前記第1の絶縁層と前記第1の電極との間に設けられる第2の電極とを有し、
前記少なくとも一つの薄膜型電子源の上部電極は、前記第2の開口部を覆うように、前記第1の電極上に設けられていることを特徴とする請求項1ないし請求項3のいずれか1項に記載の画像表示装置。

【請求項5】 前記少なくとも一つの薄膜型電子源は、第2の開口部を有する第1の電極と、
前記第1の電極上に設けられ第3の開口部を有する第2の電極と、
第4の開口部を有するとともに、前記第1の絶縁層と前記第2の電極との間に設けられる第2の絶縁層とを有し、
前記第2の絶縁層は、前記第1の絶縁層とは異なる材料で構成され、
前記第2の開口部は、前記第4の開口部よりも内側に位置するように設けられ、

前記第3の開口部は、前記第4の開口部よりも外側に位置するように設けられ、

前記少なくとも一つの薄膜型電子源の上部電極は、前記第2の開口部を覆うように、前記第1の電極上に設けられていることを特徴とする請求項1ないし請求項3のいずれか1項に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像表示装置に係わり、特に、下部電極、電子加速層（絶縁層、または、半導体層、または、それらの積層膜、あるいは、混合膜）と、上部電極の3層構造を有し、真空中に電子を放出する薄膜型電子源を用いた画像表示装置に関する。

【0002】

【従来の技術】薄膜型電子源とは、上部電極－電子加速層（絶縁層、または、半導体層、または、それらの積層膜、あるいは、混合膜）－下部電極の3層薄膜構造を基本とし、上部電極－下部電極の間に電圧を印加して、上部電極の表面から真空中に電子を放出させるものである。例えば、加速層として絶縁層を用いる薄膜型電子源、即ち、金属－絶縁体－金属を積層して構成されるMIM（Metal-Insulator-Metal）型薄膜型電子源、金属－絶縁体－半導体を積層して構成されるMIS（Metal-Insulator-Semiconductor）型薄膜型電子源等が知られている。なお、MIM型薄膜型電子源については、例えば、特開平7-65710号公報に記載されている。

【0003】図25は、MIM型薄膜型電子源の動作原理を説明するため図である。上部電極13と下部電極11との間に、駆動電圧源から駆動電圧Vdを印加して、絶縁層12内の電界を1～10MV/cm程度にすると、下部電極11中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、絶縁層12、上部電極13の伝導帯へ注入されホットエレクトロンとなる。これらのホットエレクトロンは絶縁層12中、上部電極13中で散乱されエネルギーを損失するが、上部電極13の仕事関数φ以上のエネルギーを有する一部のホットエレクトロンは、真空20中に放出される。ここで、複数本の上部電極13と、複数本の下部電極11を直交させて薄膜型電子源マトリクスを形成すると、任意の場所から電子線を発生させることができるので、画像表示装置等の薄膜型電子源に用いることができる。これまで、金（Au）－酸化アルミニウム（Al₂O₃）－アルミニウム（Al）構造のMIM（Metal-Insulator-Metal）構造などから電子放出が観測されている。

【0004】

【発明が解決しようとする課題】MIM型薄膜型電子源は、絶縁層12で加速したホットエレクトロンを、上部電極13を透過させて真空中に放出させる。したがって、上部電極13の膜厚はホットエレクトロンの散乱を少なくするために数nm程度と薄くされる。一方、この

(3) 001-256907 (P2001-256907A)

ようなMIM型薄膜型電子源では、上部電極13の表面が有機物等で汚染されるとホットエレクトロンが散乱され電子放出効率が低下してしまう。従来のMIM型薄膜型電子源では、ホト工程により上部電極13を加工する際、上部電極13の表面がレジストで汚染され、電子放出効率が約1桁低下していた。そのため、電子放出効率の回復のためには、アッシングによるクリーニング工程が必要であった。この工程は、MIM型薄膜型電子源の絶縁層12にチャージアップ等によるダメージを与えないよう細心の注意が必要であり、製造時の歩留まりが低下しやすい。

【0005】また、MIM型薄膜型電子源マトリクスを画像表示装置に使用する場合、MIM型薄膜型電子源マトリクスを形成した基板と蛍光体を塗布した面板を、枠部材を介してフリットガラス接合により貼り合わせ、真空に封じることにより表示パネルを作成するが、対角5インチ程度以上の大型の表示パネルには、大気圧を支持するためスペーサを立てる必要がある。通常スペーサは、MIM型薄膜型電子源へのダメージを与えないように、下部電極11の間、あるいは上部バス電極の間の間隙に立てるため、精密な位置制御が必要である。位置制御が不十分な場合、MIM型薄膜型電子源がダメージを受ける可能性があり、製造歩留まりが低下しやすい。

【0006】さらに、製造工程中の不良などにより下部電極13と上部電極11が短絡する欠陥が生じた場合、マトリクス駆動すると欠陥部が存在する下部電極11、上部電極13の配線上の他の正常な薄膜型電子源も、十分な駆動電圧Vdが印加されなくなるため電子放出できなくなったり、電子放出量が低下したりして線欠陥が生じてしまう。このような場合、画像表示装置等への使用は不可能である。画像表示装置に用いる場合、薄膜型電子源を数10万～数100万個形成する必要がある、無欠陥の薄膜型電子源マトリクスを形成することは困難である。したがって、薄膜型電子源に欠陥が生じた場合でも、点欠陥にとどめ線欠陥を生じさせないようにする必要がある。

【0007】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、ホト工程を用いずに上部電極膜を加工でき、かつ、電子放出効率の高い薄膜型電子源を歩留まりよく提供し、高輝度、低消費電力の画像表示装置を提供することにある。また、本発明の他の目的は、スペーサを立ててもダメージを受け難い薄膜型電子源を提供して、位置制御を容易にし、画像表示装置の製造歩留まりを向上させるとともに、スペーサの配置場所を最適化してスペーサが目立たない高画質の画像表示装置を提供することにある。さらに、本発明の他の目的は、線欠陥の生じない薄膜型電子源マトリクスを提供し、画像表示装置の製造歩留まりを向上することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかに

する。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、下部電極と、上部電極とを有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数の薄膜型電子源を有する第1の基板と、枠部材と、蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示素子を備える画像表示装置であって、前記第1の基板は、複数の薄膜型電子源の上部電極に駆動電圧を印加する複数のバス電極と、少なくとも一つの前記薄膜型電子源の上部電極と、前記複数のバス電極のいずれかのバス電極との間に設けられる抵抗素子と、前記上部電極および抵抗素子上に設けられ、前記各薄膜型電子源の電子放出部に設けられる第1の開口部を有する第1の絶縁層を有することを特徴とする。

【0009】また、本発明は、前記第1の絶縁層上に設けられるスペーサを有することを特徴とする。また、本発明は、前記バス電極が、バス電極下層と、前記バス電極下層の膜厚よりも膜厚が厚いバス電極上層とで構成され、前記抵抗素子は、前記バス電極下層と同一の材料を用いて形成されることを特徴とする。また、本発明は、前記少なくとも一つの薄膜型電子源は、前記第1の開口部よりも内側に位置するように設けられる第2の開口部を有する第1の電極と、前記第1の開口部よりも外側に位置するように設けられる第3の開口部を有するとともに、前記第1の絶縁層と前記第1の電極との間に設けられる第2の電極とを有し、前記少なくとも一つの薄膜型電子源の上部電極は、前記第2の開口部を覆うように、前記第1の電極上に設けられていることを特徴とする。

【0010】また、本発明は、前記少なくとも一つの薄膜型電子源は、第2の開口部を有する第1の電極と、前記第1の電極上に設けられ第3の開口部を有する第2の電極と、第4の開口部を有するとともに、前記第1の絶縁層と前記第2の電極との間に設けられる第2の絶縁層とを有し、前記第2の絶縁層は、前記第1の絶縁層とは異なる材料で構成され、前記第2の開口部は、前記第4の開口部よりも内側に位置するように設けられ、前記第3の開口部は、前記第4の開口部よりも外側に位置するように設けられ、前記少なくとも一つの薄膜型電子源の上部電極は、前記第2の開口部を覆うように、前記第1の電極上に設けられていることを特徴とする。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。本発明の実施の形態の画像表示装置は、薄膜型電子源マトリクスと

(4) 001-256907 (P2001-256907A)

蛍光体との組み合わせによって、各ドットの輝度変調素子を形成した表示パネルを用い、当該表示パネルの行電極及び列電極に駆動回路を接続して構成される。ここで、表示パネルは、薄膜型電子源マトリクスが形成された電子源基板と蛍光体パターンが形成された蛍光表示板とから構成される。

【0012】初めに、図2ないし図11を用いて、本実施の形態の薄膜型電子源マトリクスを構成する薄膜型電子源の一例の製造方法について説明する。なお、図2ないし図11において、同図(c)は平面図、同図(b)は同図(c)に示すB-B'切断線に沿った断面構造を示す要部断面図、同(a)は同図(c)に示すA-A'切断線に沿った断面構造を示す要部断面図である。先ず、ガラス等の絶縁性の基板10上を用意し、この基板10上に下部電極用の金属膜を形成する。下部電極用の材料としては、アルミニウム(Al; 以下、単に、Alと称する。)やアルミニウム合金(以下、単に、Al合金と称する。)を用いる。ここでは、ネオジム(Nd; 以下、単に、Ndと称する。)を2原子量%ドーパしたAl-Nd合金を用いた。また、金属膜の形成には、例えば、スパッタリング法を用い、その膜厚は300nmとした。

【0013】金属膜形成後は、ホト工程、エッチング工程により図2に示すようなストライプ形状の下部電極11を形成する。このエッチングには、例えば、燐酸、酢酸、硝酸の混合水溶液中でのウェットエッチングを用いる。次に、保護絶縁層14、絶縁層12の形成方法を図3、図4を用いて説明する。まず、下部電極11上の電子放出部となる部分をレジスト膜21でマスクし、その他の部分を選択的に厚く陽極酸化し、保護絶縁層14とする。化成電圧を100Vとすれば、厚さ約136nmの保護絶縁層14が形成される。次に、レジスト膜21を除去し残りの下部電極11の表面を陽極酸化する。例えば、化成電圧を6Vとすれば、下部電極11上に厚さ約10nmの絶縁層12が形成される。

【0014】次に、図5に示すように、上部電極13への給電線となる上部バス電極膜を、例えば、スパッタリング法等で形成する。ここでは、上部バス電極膜として積層膜を用い、上部バス電極下層15の材料として、例えば、タングステン(W; 以下、単に、Wと称する。)を、上部バス電極上層16の材料として、例えば、Al-Nd合金を用いた。また、その膜厚は、上部バス電極下層膜は後で形成する上部電極13が上部バス電極下層15の段差で断線しないように数nm〜数10nm程度と薄くし、上部バス電極上層膜は給電を十分にすること、および後で形成するパシベーション膜のエッチングの際のストッパー膜とするため、数100nm程度と厚く成膜した。続いて、図6に示すように、ホト工程、エッチング工程により、上部バス電極上層膜を下部電極11とは直交し、電子放出部は含まない配線部の第一の電

極22と、電子放出部を含む接触部の第二の電極23に分離するように加工する。このエッチングには、例えば、燐酸、酢酸、硝酸の混合水溶液中でのウェットエッチングを用いる。

【0015】続いて、図7に示すように、上部バス電極下層膜のWを上記バス電極上層16の第一の電極と第二の電極の間を接続する抵抗24となるように加工する。この抵抗24の役割については後述する。次に、図8に示すように、基板10の薄膜型電子源マトリクス形成領域の全面にパシベーション膜17となる絶縁膜を形成する。パシベーション膜17としては、例えば、半導体素子等でパシベーション膜として一般的に用いられているものを利用できる。即ち、材料としては、SiO、SiO₂、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類、Si₃N₄、Al₂O₃、ポリイミドなどが利用できる。また、膜形成法としては、スパッタリング法、真空蒸着法、化学気相成長法、塗布法などを用いることができる。例えば、SiO₂、Al₂O₃、Si₃N₄などの成膜には、スパッタリング法や化学気相成長法、SiOの成膜には真空蒸着法、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類やポリイミドは塗布法などを用いることができる。ここでは、スパッタ法により成膜したSi₃N₄膜を用いた。また、膜厚は、例えば、0.3〜10μm程度と厚くする。

【0016】続いて、図9に示すようにホト工程、エッチング工程により、パシベーション膜17に電子放出部を含む領域を開口する。この加工は、例えば、CF₄を用いたドライエッチング法等を用いればよい。CF₄などのフッ化物系エッチングガスを用いたドライエッチング法は、パシベーション膜17の絶縁体を上部電極上層16のAl合金に対し高い選択比でエッチングするので、上部電極上層16をストッパー膜としてパシベーション膜17のみを加工することが可能である。引き続いて、図10に示すように、電子放出部の上部バス電極上層16を燐酸、酢酸、硝酸の混合水溶液中でウェットエッチングする。このエッチャントは、Al合金はエッチングするが、パシベーション膜17に用いる絶縁体、上部バス電極下層15のWはほとんどエッチングしない。したがって、上部バス電極上層16のみ高い選択比でエッチングされる。そのため、パシベーション膜17に対し、上部バス電極上層16が内側に後退し、開口部が底状のパシベーション膜17が形成される。

【0017】次に、図11に示すようにホト工程、エッチング工程により上部バス電極下層15のWをエッチングし、電子放出部を開口する。この際、上部バス電極下層15のWが上部バス電極上層16およびパシベーション膜17より電子放出部側に延在するように加工することで、後で形成する上部電極13と接触をとることができる。エッチングには、例えば、アンモニアと過酸化水素の混合水溶液を用いればよい。最後に、例えば、スバ

(5) 001-256907 (P2001-256907A)

ットにより、上部電極膜を形成する。また、上部電極13としては、例えば、イリジウム(Ir)、白金(Pt)、金(Au)の積層膜を用い、膜厚は数nm(本実施の形態では4nm)である。

【0018】図1に、上部電極膜を成膜した後の薄膜型電子源を示す。なお、図1は、本実施の形態の薄膜型電子源マトリクスを構成する薄膜型電子源の一例の概略構成を示す図であり、同図(c)は平面図、同図(b)は同図(c)に示すA-A'切断線に沿った要部断面図、同図(b)は同図(c)に示すB-B'切断線に沿った要部断面図である。同図に示すように、図1に示す薄膜型電子源では、形成された薄い上部電極13は、パシベーション膜17の開口部の底状の段差で切断され、各薄膜型電子源毎に分離されるとともに、上部バス電極上層16およびパシベーション膜17より電子放出部側に延在する上部バス電極下層15のWと接触し、給電される構造となる。したがって、上部電極13加工用のホト工程が不要となり、レジストによる汚染がなくなる。また、本実施の形態の薄膜型電子源は、電子放出部以外の構成部が厚いパシベーション膜17により被覆されており、機械的なダメージに強くなり、その上、電子放出部が厚いパシベーション膜17の開口部の底に形成されるため、機械的なダメージは受け難くなる。したがって、表示装置作製の際にスペーサ等を立ててもダメージを受け難い薄膜型電子源が得られる。さらに、本実施の形態の薄膜型電子源は、抵抗24がパシベーション膜17によって被覆されているため、上部電極13の膜を基板全面に一樣に形成しても抵抗24と電氣的に接触しない。したがって、抵抗値を精密に制御することができる。

【0019】ここで、抵抗24の役割について説明する。抵抗24は、薄膜型電子源マトリクスの点欠陥が表示装置において線欠陥となることを防止する目的で設けられる。図12は、従来の薄膜型電子源マトリクスの等価回路を示す回路図である。行電極(下部電極11)310と列電極(上部バス電極上層16および上部バス電極下層)311の各交点に薄膜型電子源301が形成されている。ここで、各薄膜型電子源301は行電極310と列電極311と直接結線されている。このため、例えば、R2の行電極310と、C2の列電極311との交点(R2, C2)にある薄膜型電子源301が製造不良などの原因で短絡した場合、R2の行電極310と、C2の列電極311とが短絡されるので、行電極駆動回路41あるいは列電極駆動回路42から適正な電圧を両電極に印加しようとしても電圧がかからなくなってしまう。このために、R2の行電極310上の全素子、あるいはC2の列電極311上の全素子が動作せず、「線欠陥」となってしまう。

【0020】図13は、本実施の形態の薄膜型電子源マトリクスの等価回路を示す回路図である。本実施の形態では、列電極311と薄膜型電子源301との間に抵抗

24が挿入される。抵抗24の抵抗値を列電極駆動回路42の出力インピーダンスの10倍以上に設定しておく、(R2, C2)にある薄膜型電子源301が短絡しても、R2の行電極310と、C2の列電極311との間の抵抗42は駆動回路の出力インピーダンスより充分高いため、両電極には十分な電圧が印加され、両電極上の他の薄膜型電子源301は正常に動作する。もちろん、(R2, C2)にある薄膜型電子源301は動作しない。このようにして、「点欠陥」が「線欠陥」になることを防止できる。

【0021】前述の製造方法では、計6回のホト工程が必要であった。ホト工程回数はコスト低減のためできるだけ削減することが好ましい。以下に、図14ないし図19を用いて、上部バス電極上層16をパシベーション膜17とは異なる材料から成る絶縁膜で被覆することによりホト工程を削減した、本実施の形態の薄膜型電子源マトリクスを構成する薄膜型電子源の製造方法の他の例について説明する。なお、図14ないし図19において、同図(c)は平面図、同図(b)は同図(c)に示すB-B'切断線に沿った断面構造を示す要部断面図、同(a)は同図(c)に示すA-A'切断線に沿った断面構造を示す要部断面図である。まず、前述の製造方法と同様に、下部電極11、保護絶縁層14、絶縁層12を形成する。次に、図14に示すように、上部電極13への給電線となる上部バス電極膜とそれを被覆する絶縁膜18を、例えば、スパッタリング法で成膜する。ここでは、上部バス電極下層15の材料としてWを、上部バス電極上層16の材料としてAl-Nd合金を、絶縁膜18としてはSiO₂を用いた。膜厚は、前述の場合と同様に、上部バス電極下層膜は数nm〜数10nm程度と薄くし、上部バス電極上層膜は数100nm程度と厚く成膜する。絶縁膜18の膜厚は任意だが100nm程度あればよい。

【0022】続いて、図15に示すように、ホト工程、エッチング工程により、絶縁膜18と上部バス電極上層膜を下部電極11とは直交し、電子放出部は含まない配線部の第一の電極22と、電子放出部が開口した接触部の第二の電極23に加工する。エッチングは、SiO₂の絶縁膜はCF₄を用いたドライエッチング、Al-Nd合金の上部バス電極上層膜は、磷酸、酢酸、硝酸の混合水溶液中のウェットエッチングを用いた。続いて、図16に示すように、上部バス電極下層膜のWを、上部バス電極上層16の配線部と接触部の間を接続する抵抗24と、上部バス電極上層16より電子放出部側に延在して、後で形成する上部電極13との接触部となる部分に加工する。

【0023】次に、図17に示すように、基板10の薄膜型電子源マトリクス形成領域の全面にパシベーション膜17となる絶縁膜を形成する。パシベーション膜17は、例えば、半導体素子等でパシベーション膜として一

(6) 001-256907 (P2001-256907A)

般的に用いられているものが利用できる。すなわち、材料としては、 SiO 、 SiO_2 、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類、 Si_3N_4 、 Al_2O_3 、ポリイミドなどが利用できる。また、膜形成法としては、スパッタリング法、真空蒸着法、化学気相成長法、塗布法などを用いることができる。例えば、 SiO_2 、 Al_2O_3 、 Si_3N_4 などの形成にはスパッタリング法や化学気相成長法、 SiO の成膜には真空蒸着法、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類やポリイミドは回転塗布法などを用いることができる。但し、バシペーション膜17は、絶縁膜18とは選択エッチングできる異なる材料で形成するのが望ましい。ここでは、スパッタ法により形成した Si_3N_4 膜を用い、膜厚は、例えば、 $0.3 \sim 10 \mu\text{m}$ 程度と厚く形成する。次に、図18に示すように、ホト工程、エッチング工程により、バシペーション膜17に電子放出部と、後で形成する上部電極13が上部バス電極下層15と接触する電子放出部周囲を含む領域を開口する。この加工は、例えば、 CF_4 、 O_2 、 N_2 の混合ガスを用いたドライエッチング法等を用いればよい。 N_2 添加によって、 SiO_2 から成る絶縁膜18と、 Si_3N_4 から成るバシペーション膜17とを高い選択比でエッチングすることができ、絶縁膜18の底構造を維持することができる。最後に、例えば、スパッタにより、上部電極膜を形成する。また、上部電極13としては、例えば、イリジウム(Ir)、白金(Pt)、金(Au)の積層膜を用い、膜厚は数nm(本実施の形態では4nm)である。

【0024】図19に、上部電極膜を成膜した後の薄膜型電子源を示す。なお、図19は、本実施の形態の薄膜型電子源マトリクスを構成する薄膜型電子源の概略構成を示す図であり、同図(c)は平面図、同図(b)は同図(c)に示すA-A'切断線に沿った要部断面図、同図(b)は同図(c)に示すB-B'切断線に沿った要部断面図である。同図に示すように、図19に示す薄膜型電子源では、薄い上部電極13は、絶縁膜18の開口部の底状の段差で切断され、各薄膜型電子源毎に分離されるとともに、上部バス電極上層16、絶縁膜18、およびバシペーション膜17より電子放出部側に延在する上部バス電極下層15のWと接触し、給電される構造となる。したがって、上部電極13加工用のホト工程が不要となり、レジストによる汚染がなくなる。

【0025】また、図19に示す薄膜型電子源は、上部電極13以外の構成部が厚いバシペーション膜17により被覆されており、機械的なダメージに強くなる。また、電子放出部が厚いバシペーション膜17の開口部の底に形成されるため、機械的なダメージは受け難くなる。したがって、表示装置作製の際にスペーサ等を立ててもダメージを受け難い薄膜型電子源が得られる。さらに、図19に示す薄膜型電子源は、抵抗24がバシペーション膜17によって被覆されているため、基板全面に

一様に上部電極膜を形成しても抵抗24と電氣的に接触しない。したがって、抵抗値を精密に制御することができる。図19に示す薄膜型電子源は、絶縁膜18が1層増えているが、上部バス電極膜との連続成膜で形成しており工程増加はわずかである。一方、ホト工程を1回減らすことができるので、全体としてはコスト低減を実現することができる。

【0026】以上、本発明を、電子加速層として絶縁層を使用する、金属-絶縁体-金属型(MIM型)薄膜型電子源に適用した場合について説明したが、本発明はこれに限定されるものではなく、電子加速層として、半導体層、または、それらの積層膜、あるいは、混合膜を使用する、例えば、MOS型(metal-oxide-semiconductor)、MIS型(metal-insulator-semiconductor)、HEED型(high-efficiency-electro-emission device Jpn.J.Appl. Phys. vol 36 pL939などに記載)、EL型(Electroluminescence、応用物理 第63巻、第6号、592頁などに記載)、ポラスシリコン型(応用物理 第66巻、第5号、437頁などに記載)などの薄膜型電子源にも適用可能である。即ち、前述したような薄膜型電子源でも、上部電極13等の構成は同様なので、本発明を当然適用することができる。

【0027】以下、本実施の形態の画像表示装置について、図20乃至図24を用いて説明する。前述の図1、図19に示す薄膜型電子源を用いた場合、アッシング工程が不要で、電子放出効率が高いため、高輝度、低消費電力の表示装置を提供できる。また、機械的なダメージを受け難い薄膜型電子源なので、スペーサを立ててもダメージを受け難く、製造歩留りの高い表示装置を提供できる。さらに、各薄膜型電子源が抵抗24を有することで線欠陥の生じない薄膜型電子源を実現し、製造歩留りが高い表示装置を提供できる。ここでは、前述の図1に示す薄膜型電子源を用いた場合を中心に説明する。なお、前述の図19に示す薄膜型電子源を用いた場合も表示装置の製造方法は同様である。

【0028】図20は、本発明の実施の形態の画像表示装置の電子源基板の概略構成を示す図である。図20(a)は、本実施の形態の電子源基板の平面図であり、同図(b)は、同図(a)に示すA-A'線に沿った断面構造、および同図(c)は、同図(a)に示すB-B'線に沿った断面構造を示す要部断面図である。本実施の形態の電子源基板は、前述の手順にしたがって、基板10上に、薄膜型電子源がマトリクス状に形成されて構成される。なお、図20では、3本の下部電極11と3本のバス電極上層16(またはバス電極下層15)からなる(3×3)ドットの薄膜型電子源マトリクスを図示しているが、実際には、表示ドット数に対応した数の薄膜型電子源マトリクスを形成する。

【0029】図21は、本発明の実施の形態の画像表示装置の蛍光表示板の概略構成を示す図である。図21

!(7) 001-256907 (P2001-256907A)

(a)は、本実施の形態の蛍光表示板の平面図であり、同図(b)は、同図(a)に示すA-A'線に沿った断面構造、および同図(c)は、同図(a)に示すB-B'線に沿った断面構造を示す要部断面図である。本実施の形態の蛍光表示板は、ガラス等の透光性の基板110に形成されるブラックマトリクス120と、このブラックマトリクス120の溝内に形成される赤(R)・緑(G)・青(B)の蛍光体(111~113)と、これらの上に形成されるメタルバック膜114とで構成される。以下、本実施の形態の蛍光表示板の作成方法について説明する。まず、表示装置のコントラストを上げる目的で、基板110上に、ブラックマトリクス120を形成する。ブラックマトリクス120は、ポリビニルアルコール(PVA;以下、単に、PVAと称する。)と重クロム酸アンモニウムとを混合した溶液を基板110に塗布し、ブラックマトリクス120を形成したい部分以外に紫外線を照射して感光させた後、未感光部分を除去し、そこに黒鉛粉末を溶かした溶液を塗布し、PVAをリフトオフすることにより形成する。

【0030】次に、以下の方法により赤色蛍光体111を形成する。赤色蛍光体粒子にPVAと重クロム酸アンモニウムとを混合した水溶液を基板110上に塗布した後、蛍光体を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして、赤色蛍光体111をパターン化する。なお、蛍光体パターンは、図21では、ストライプ状のパターンを図示しているが、このストライプパターンは一例であって、それ以外にも、ディスプレイの設計に応じて、たとえば、近接する4ドットで画素を構成させた「RGBG」パターンでももちろん構わない。同様の方法により、緑色蛍光体112と青色蛍光体113を形成する。ここで、蛍光体として、例えば、赤色蛍光体111は $Y_2O_2S:Eu$ (P22-R)、緑色蛍光体112は $ZnS:Cu,Al$ (P22-G)、青色蛍光体113は $ZnS:Ag$ (P22-B)を用いればよい。次いで、ニトロセルロースなどの膜でフィルミングした後、基板110全体にアルミニウム(Al)を、膜厚75nm程度蒸着してメタルバック膜114とする。このメタルバック膜114が、加速電極として働く。その後、基板110を大気中400℃程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、蛍光表示板が完成する。

【0031】図22は、本発明の実施の形態の画像表示装置の概略全体構成を示す断面図である。なお、同図(a)は、図20(a)に示すA-A'線に沿った断面構造、および同図(B)は、図20(a)に示すB-B'線に沿った断面構造を示す要部断面図である。図22に示すように、前記手順により製作された電子源基板と、蛍光表示板と、枠部材116とを、スペーサ30を介して組み立て後、枠部材116をフリットガラス11

5を用いて封着する。電子源基板と蛍光表示板との間の距離は、1~3mm程度になるようにスペーサ30の高さを設定する。スペーサ30は、上部電極13の膜で被覆されているパシベーション膜17上に設ける。スペーサ30は、例えば、板状のガラス製またはセラミックス製をバス電極上層16(またはバス電極下層15)間に配置する。

【0032】本実施の形態では、電子源基板の大部分はパシベーション膜17で被覆されているため、スペーサ30を立てることによるダメージは生じにくい。ここでは、説明のため、R(赤)、G(緑)、B(青)に発光するドット毎、即ち、バス電極上層16(またはバス電極下層15)間に全てスペーサ30を設けているが、実際は機械強度が耐える範囲で、スペーサ30の枚数(密度)を減らし、大体1cmおきに立てればよい。また下部電極11の間に立てても構わない。なお、支柱状のスペーサ、格子状のスペーサを使用する場合でもダメージを受け難いという本発明の効果は当然得られる。

【0033】封着したパネルは、 10^{-7} Torr程度の真空中に排気して、封止する。封止した後、ゲッターを活性化し、表示装置内を真空を維持する。例えば、バリウム(Ba)を主成分とするゲッター材料の場合、高周波誘導加熱によりゲッター膜を形成することができる。このようにして、本実施の形態の画像表示装置が完成する。本実施の形態の画像表示装置では、電子源基板と蛍光表示板との間の距離が、1~3mm程度と長いので、メタルバック膜114に印加する加速電圧を3~6KVと高電圧にできる。したがって、前記したように、蛍光体には、陰極線管(CRT)用の蛍光体を使用することができる。

【0034】図23は、本実施の形態の画像表示装置に、駆動回路を接続した状態を示す模式図である。下部電極11は下部電極駆動回路40で駆動され、バス電極上層16(またはバス電極下層15)は上部電極駆動回路50で駆動される。メタルバック膜114には、加速電圧源60から3~6KV程度の加速電圧を常時印加する。図24は、図23に示す各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。ここで、m番目の下部電極11をKm、n番目のバス電極上層16をCn、m番目の下部電極11と、n番目のバス電極上層16との交点を(m,n)で表すことにする。

【0035】時刻t0ではいずれの電極も駆動電圧がゼロであるので電子は放出されず、したがって、蛍光体は発光しない。時刻t1において、K1の下部電極11に、下部電極駆動回路40から(-V1)なる駆動電圧を、(C1,C2)のバス電極上層16に、上部電極駆動回路50から(+V2)なる駆動電圧を印加する。交点(1,1)、(1,2)の下部電極11と上部電極13との間には(V1+V2)なる電圧が印加されるの

(8) 001-256907 (P2001-256907A)

で、 $(V1+V2)$ の電圧を電子放出開始電圧以上に設定しておけば、この2つの交点の薄膜型電子源からは電子が真空中に放出される。放出された電子は、メタルバック膜114に印加される加速電圧源60からの加速電圧により加速された後、蛍光体(111~113)に入射し、発光させる。

【0036】時刻 t_2 において、K2の下部電極11に、下部電極駆動回路40から $(-V1)$ なる駆動電圧を印加し、C1のバス電極上層16に、上部電極駆動回路50から $(+V2)$ なる駆動電圧を印加すると、同様に交点(2, 1)が点灯する。このようにして、バス電極上層16に印加する信号を変えることにより所望の画像または情報を表示することができる。また、バス電極上層16に印加する駆動電圧 $(+V2)$ の大きさを適宜変えることにより、階調のある画像を表示することができる。なお、絶縁層12中に蓄積される電荷を開放するための反転電圧の印加は、ここでは下部電極11の全てに、下部電極駆動回路40から $(-V1)$ の駆動電圧を印加した後、全下部電極11に下部電極駆動回路40から $(+V3)$ の駆動電圧を、全上部電極バスライン15に、上部電極駆動回路50から $(-V3')$ の駆動電圧を印加することにより行った。この場合に、 $(V3+V3')$ の電圧が、 $(V1+V2)$ の電圧と同程度になるようにする。

【0037】ここで、例えば、上部電極駆動回路50の出力抵抗を、各薄膜型電子源に付加されている抵抗24の抵抗値より低くしておく。これにより、薄膜型電子源が欠陥発生により短絡した場合でも抵抗24に電圧が印加されるため、他の正常な薄膜型電子源に電圧が印加され、線欠陥が生じない。以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0038】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

- (1) 本発明の画像表示装置によれば、輝度を向上させ、低消費電力化を図ることが可能となる。
- (2) 本発明の画像表示装置によれば、スペーサの配置が容易となるので、製造歩留りを向上させることが可能となる。
- (3) 本発明の画像表示装置によれば、点欠陥が線欠陥に至るの防止できるので、製造歩留りを向上させることが可能となる。

【図面の簡単な説明】

【図1】本実施の形態の薄膜型電子源マトリクスを構成する薄膜型電子源の一例の概略構成を示す図である。

【図2】図1に示す薄膜型電子源の製造方法を説明する

ための図である。

【図3】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図4】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図5】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図6】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図7】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図8】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図9】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図10】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図11】図1に示す薄膜型電子源の製造方法を説明するための図である。

【図12】従来の薄膜型電子源マトリクスの等価回路を示す回路図である。

【図13】本実施の形態の薄膜型電子源マトリクスの等価回路を示す回路図である。

【図14】図19に示す薄膜型電子源の製造方法を説明するための図である。

【図15】図19に示す薄膜型電子源の製造方法を説明するための図である。

【図16】図19に示す薄膜型電子源の製造方法を説明するための図である。

【図17】図19に示す薄膜型電子源の製造方法を説明するための図である。

【図18】図19に示す薄膜型電子源の製造方法を説明するための図である。

【図19】本実施の形態の薄膜型電子源マトリクスを構成する薄膜型電子源の他の例の概略構成を示す図である。

【図20】本発明の実施の形態の画像表示装置の電子源基板の概略構成を示す図である。

【図21】本発明の実施の形態の画像表示装置の蛍光表示板の概略構成を示す図である。

【図22】本発明の実施の形態の画像表示装置の概略全体構成を示す断面図である。

【図23】本実施の形態の画像表示装置に、駆動回路を接続した状態を示す模式図である。

【図24】図23に示す各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

【図25】MIM型薄膜型電子源の動作原理を説明するため図である。

【符号の説明】

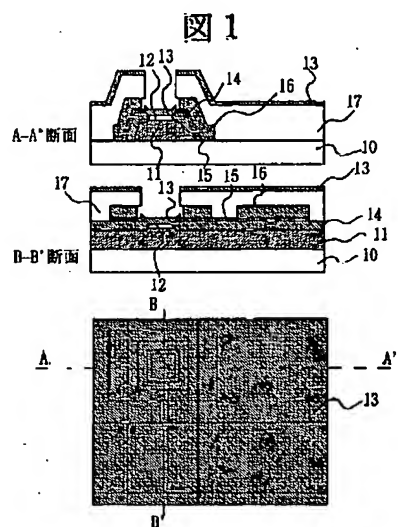
10, 110…基板、11…下部電極、12…絶縁層、

(9) 001-256907 (P2001-256907A)

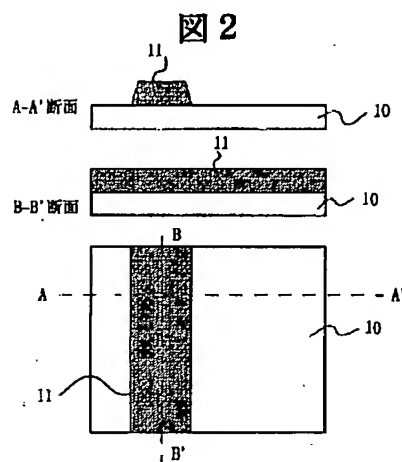
13…上部電極、14…保護絶縁層、15…上部バス電極下層、16…上部バス電極上層、17…パシベーション膜、18…絶縁膜、20…真空、21…レジスト膜、22…第一の電極、23…第二の電極、24…抵抗、30…スペーサ、40…下部電極駆動回路、41…行電極

駆動回路、42…列電極駆動回路、50…上部電極駆動回路、60…加速電圧源、111…赤色蛍光体、112…緑色蛍光体、113…青色蛍光体、114…メタルバック膜、115…フリットガラス、116…枠、301…薄膜型電子源、310…行電極、311…列電極

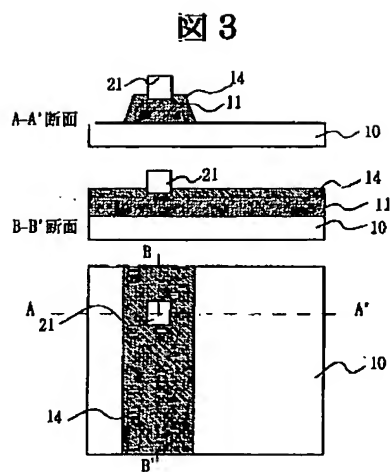
【図1】



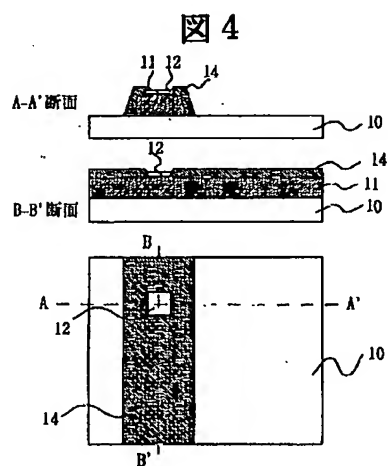
【図2】



【図3】

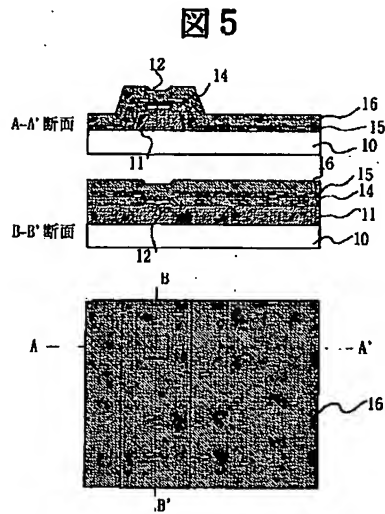


【図4】

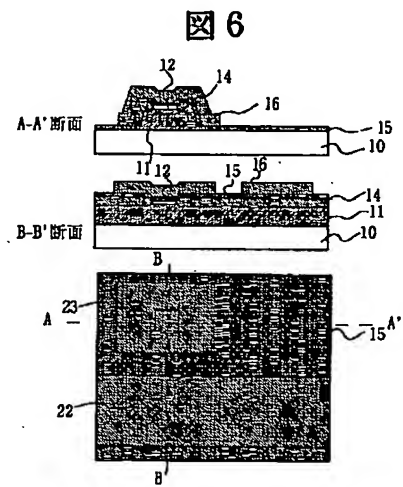


(株) 01-256907 (P2001-256907A)

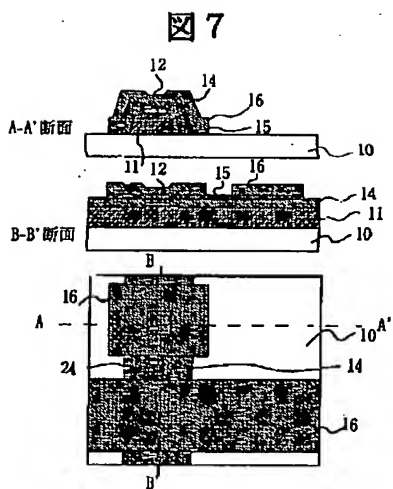
【図5】



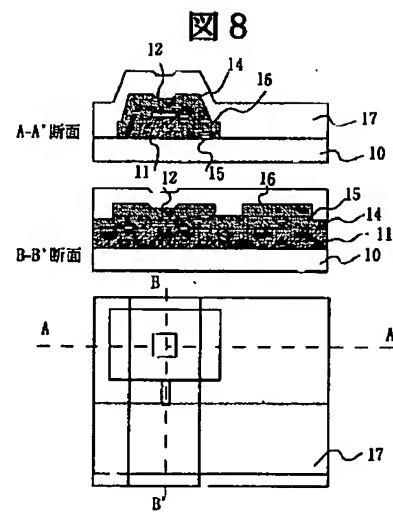
【図6】



【図7】

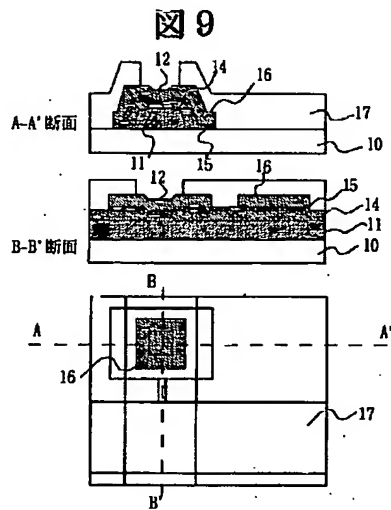


【図8】

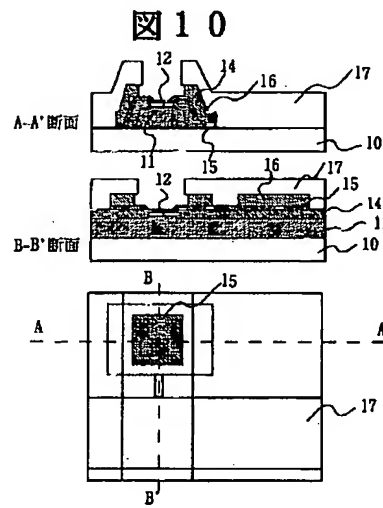


(有 1) 001-256907 (P2001-256907A)

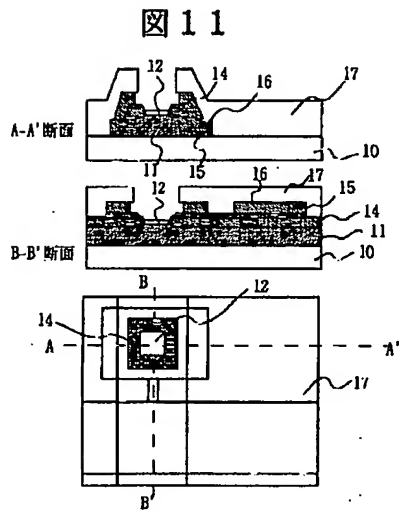
【図 9】



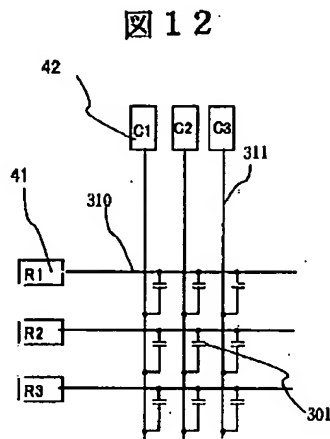
【図 10】



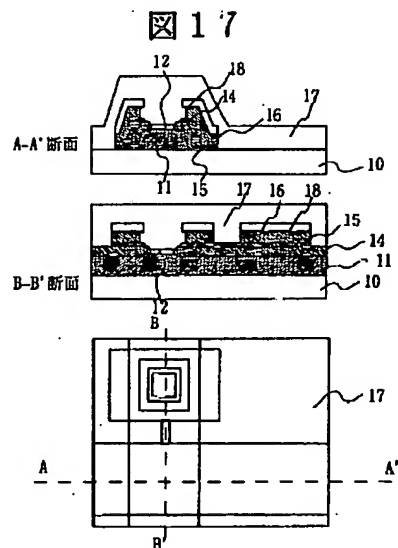
【図 11】



【図 12】

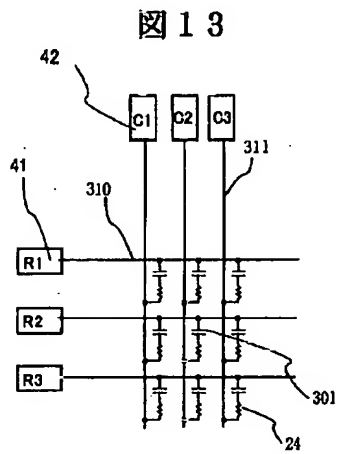


【図 17】

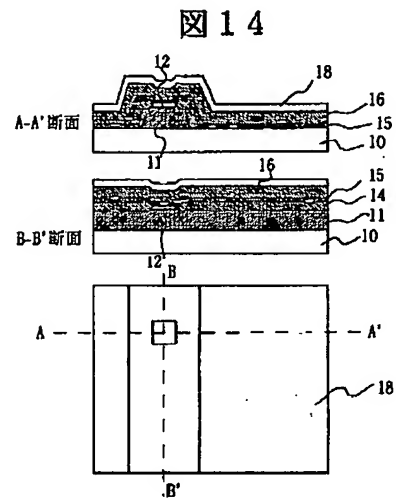


(頁2) 01-256907 (P2001-256907A)

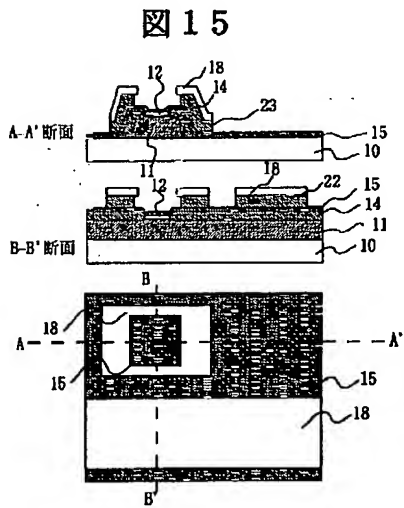
【図13】



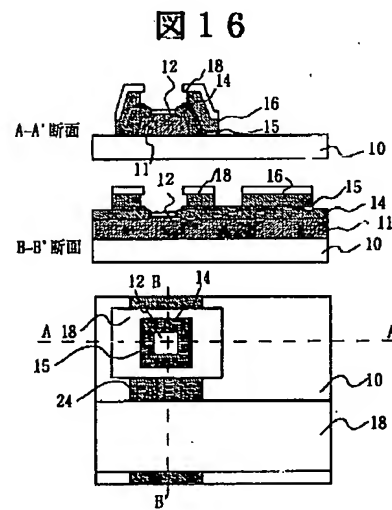
【図14】



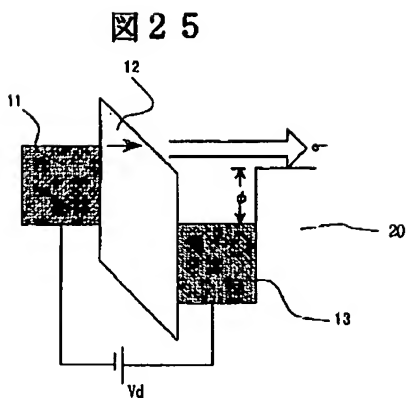
【図15】



【図16】

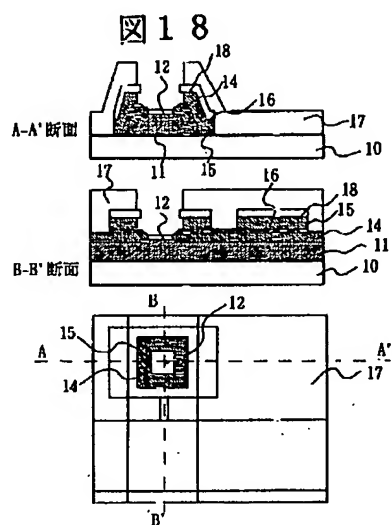


【図25】

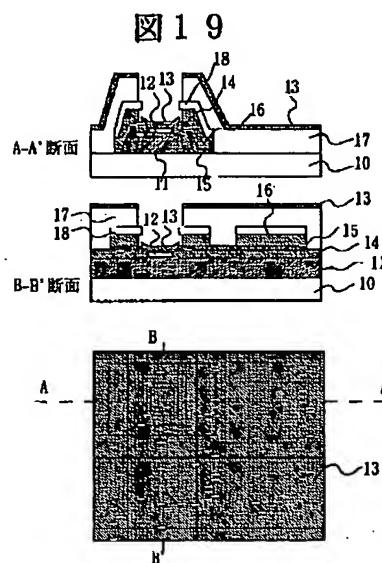


(3) 01-256907 (P2001-256907A)

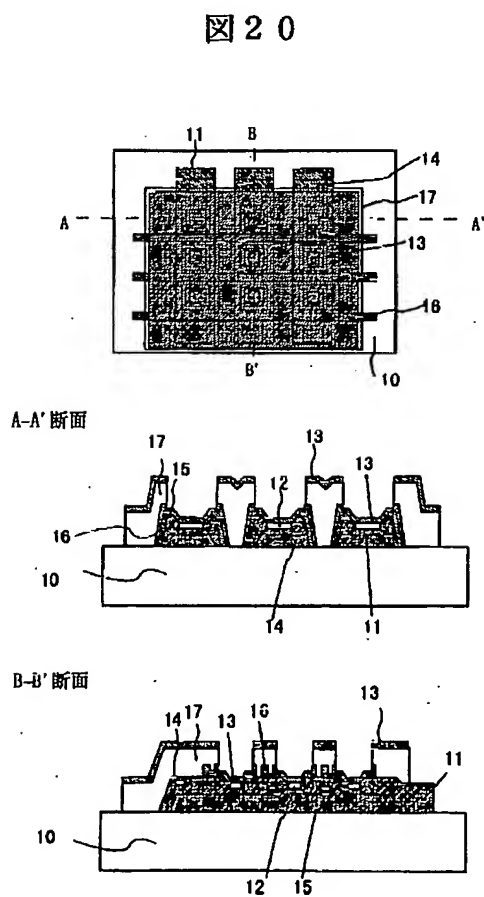
【図18】



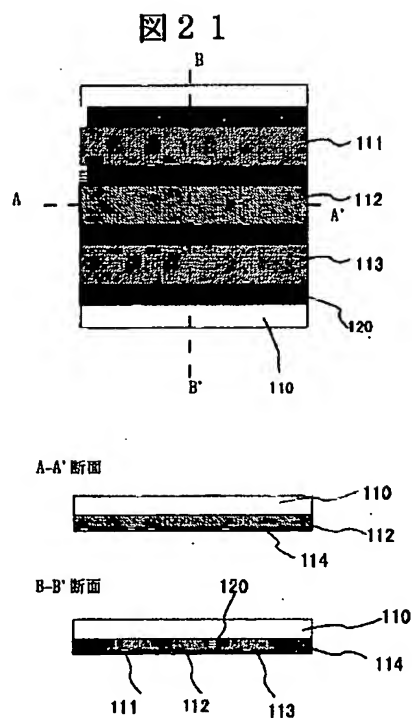
【図19】



【図20】



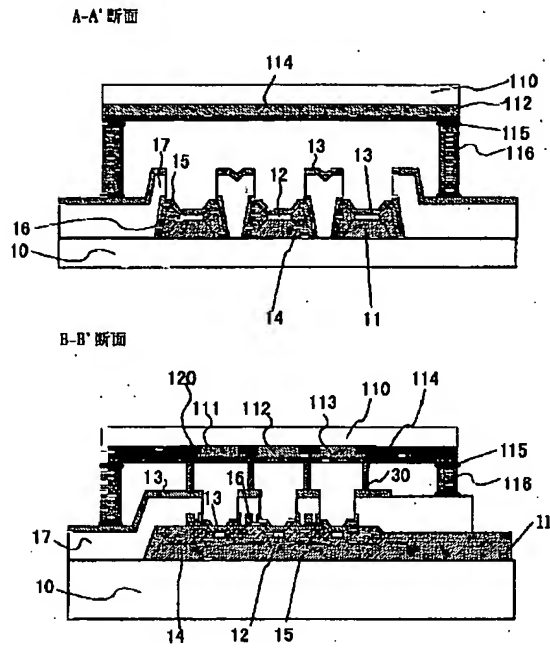
【図21】



(連4) 01-256907 (P2001-256907A)

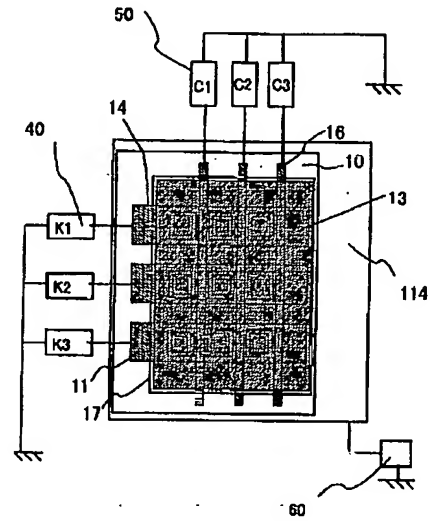
【図22】

図22



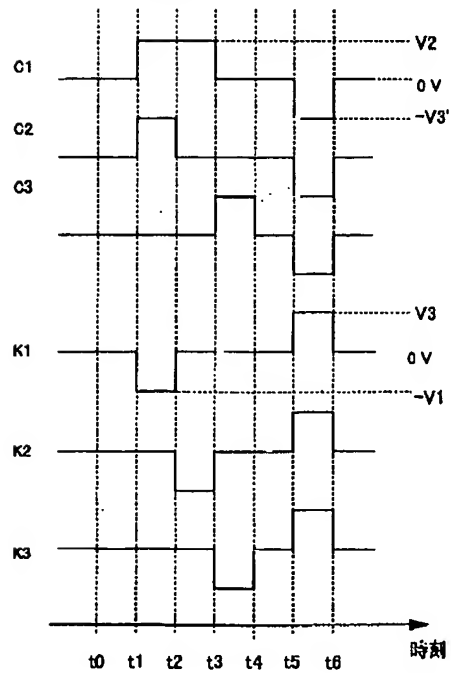
【図23】

図23



【図24】

図24



(5) 01-256907 (P 2001-256907A)

フロントページの続き

(72)発明者 佐川 雅一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

Fターム(参考) 5C031 DD09 DD17

5C036 EE01 EE08 EE14 EF01 EF06

EF09 EG01 EG12 EH06 EH08

5C094 AA10 AA22 BA32 BA34 CA19

CA24 CA25